

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-242788

(43)Date of publication of application : 31.08.1992

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 02-417199

(71)Applicant : NEC CORP

(22)Date of filing : 29.12.1990

(72)Inventor : MATSUURA MISAO

(54) LIQUID CRYSTAL DRIVING CIRCUIT

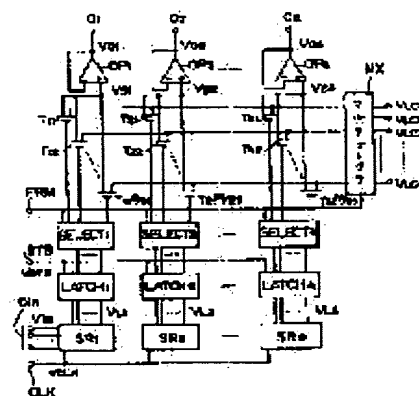
(57)Abstract:

PURPOSE: To provided a liquid crystal driving circuit corresponding to multiple gradation display and capable of high integration and reduction in cost.

CONSTITUTION: A multiplexer MX selects $m/2$ kinds of liquid crystal driving voltages required for $m/2$ gradation display from (m) kinds of liquid crystal driving voltages on the basis of a frame selection signal inputted from a frame selecting terminal FRM. Thus, the number of transistor switch can be reduced to $1/2$ of the past.

Operation amplifier groups OP1-OPk supply voltages having large driving current capacities to a liquid crystal display on the basis of the liquid crystal driving voltages supplied through transistor switch groups T11-Tk($m/2$).

As it is not necessary to send a large current to the transistor switch, the size of the transistor can be contracted.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

인용발명1: 일본공개특허공보 평04-242788호(1992.08.31) 1부.

[첨부그림 1]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-242788

(43) 公開日 平成4年(1992)8月31日

(51) Int.Cl. ³	識別記号	庁内整理番号	F 1	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 7 5	7820-2K		

審査請求 未請求 請求項の数2(全 6 頁)

(21) 出願番号 特願平2-417199

(22) 出願日 平成2年(1990)12月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松浦 操

東京都港区芝五丁目7番1号 日本電気株式会社内

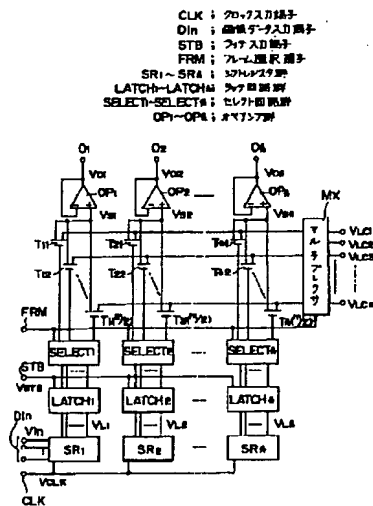
(74) 代理人 弁理士 藤巻 正憲

(54) 【発明の名称】 液晶駆動回路

(57) 【要約】

【目的】 多階調表示に対応しており、高集積化及び低コスト化が可能な液晶駆動回路を得ることを目的とする。

【構成】 マルチプレクサMXは、フレーム選択端子FRMから入力されたフレーム選択信号に基づいて、m種類の液晶駆動電圧からm/2階調表示に必要なm/2種類の液晶駆動電圧を選択する。従って、トランジスタスイッチの数を従来の1/2に削減できる。また、オペアンプ群OP₁～OP_nは、トランジスタスイッチ群T₁₁～T_{1n}を介して供給された液晶駆動電圧に基づいて、駆動電流容量が大きい電圧を液晶ディスプレイに供給する。従って、トランジスタスイッチには大電流を流す必要がないため、トランジスタのサイズを縮小することができる。



【特許請求の範囲】

【請求項1】 液晶ディスプレイを駆動する液晶駆動回路において、クロックパルスに基づいて画像入力データを転送するシフトレジスタ群と、ラッチパルスを入力しこのラッチパルスに基づいて前記シフトレジスタ群の出力信号を入力し保持するラッチ回路群と、複数の出力端を備えており前記ラッチ回路群の出力に基づいて特定の出力端にスイッチ選択信号を出力するセレクト回路群と、相互に電圧値が異なる m (m は2以上の整数)種類の液晶駆動電圧を入力しフレーム選択信号に基づいて $m/2$ 種類の液晶駆動電圧を選択的に出力するマルチプレクサと、複数のスイッチからなり前記セレクト回路群から出力されたスイッチ選択信号に基づいて前記マルチプレクサの出力を選択するスイッチ群と、このスイッチ群と前記液晶ディスプレイとの間に介装されたアンプとを有することを特徴とする液晶駆動回路。

【請求項2】 前記スイッチ群のスイッチはPチャネルトランジスタ及びNチャネルトランジスタからなるトランスファークラップにより構成されていることを特徴とする請求項1に記載の液晶駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は階調表示を必要とする液晶ディスプレイ、(以下、LCDという)を駆動する液晶駆動回路に関する。

【0002】

【従来の技術】 図4は従来の液晶駆動回路を示すブロック図である。この液晶駆動回路は、 k (k は2以上の整数)段のシフトレジスタ群 $SR_1 \sim SR_k$ 、ラッチ回路群 $LATCH_1 \sim LATCH_k$ 、セレクト回路群 $SELECT_1 \sim SELECT_k$ 及びトランジスタスイッチ群2により構成されている。

【0003】 画像データ入力端子D から入力されたデジタル画像データ入力電圧Vは、シフトレジスタ群 $SR_1 \sim SR_k$ に入力されるようになっていて、このシフトレジスタ群 $SR_1 \sim SR_k$ には、クロック入力端子CLKからクロックパルス V_{clk} が与えられる。

【0004】 シフトレジスタ群 $SR_1 \sim SR_k$ の出力は、ラッチ回路群 $LATCH_1 \sim LATCH_k$ に入力される。このラッチ回路群 $LATCH_1 \sim LATCH_k$ には、ラッチ入力端子STBからラッチパルス V_{stb} が与えられる。

【0005】 ラッチ回路群 $LATCH_1 \sim LATCH_k$ の出力は、セレクト回路群 $SELECT_1 \sim SELECT_k$ に入力される。このセレクト回路群 $SELECT_1 \sim SELECT_k$ は複数の出力端を有しており、フレーム選択端子FRMから入力されたフレーム選択信号及びラッチ回路群 $LATCH_1 \sim LATCH_k$ の出力に基づいて特定の出力端にスイッチ選択信号を出力するようになっている。

【0006】 トランジスタスイッチ群2は複数のトランジスタ $T_{11} \sim T_{1m}$ により構成されている。即ち、このトランジスタスイッチ群2は、 m (m は2以上の整数)個のトランジスタからなる k (k は2以上の整数)組のトランジスタにより構成されている。これらのトランジスタ $T_{11} \sim T_{1m}$ は、セレクト回路群 $SELECT_1 \sim SELECT_k$ から出力された前記スイッチ選択信号に基づいてオン・オフ動作することにより、出力端子 $O_1 \sim O_m$ にLCD駆動電圧 $V_{1c1} \sim V_{1cm}$ 乃至 V_{1c} を選択的に出力する。

【0007】 次に、このように構成された従来の液晶駆動回路の動作について説明する。

【0008】 画像データ入力端子D からは、 m 階調に応じた n (n は2以上の整数)ビットのデジタル画像データ入力電圧Vが入力される。この画像データ入力電圧Vは、クロック入力端子CLKに与えられたクロックパルス V_{clk} に同期して k 段のシフトレジスタ群 $SR_1 \sim SR_k$ に転送される。

【0009】 このシフトレジスタ群 $SR_1 \sim SR_k$ に転送されたデータは、ラッチ入力端子STBに与えられたラッチパルス V_{stb} に同期して、ラッチ回路群 $LATCH_1 \sim LATCH_k$ に転送される。

【0010】 セレクト回路群 $SELECT_1 \sim SELECT_k$ は、フレーム選択端子FRMから入力されたフレーム選択信号 $V_{fr1} \sim V_{frk}$ 及びラッチ回路群 $LATCH_1 \sim LATCH_k$ に保持されたデータ値に基づいてスイッチ選択信号を出力し、各トランジスタ組 $T_{11} \sim T_{1m}$ 乃至 T_{1k} のうちの特定のトランジスタを各組について1個だけ選択的にオン状態にする。これにより、出力端子 $O_1 \sim O_m$ に夫々電圧 $V_{1c1} \sim V_{1cm}$ のうちのいずれか1種類の電圧が選択的に出力され、 $m/2$ 階調に対応した電圧がLCDに供給される。

【0011】

【発明が解決しようとする課題】 しかしながら、従来の液晶駆動回路においては、以下に示す問題点がある。即ち、LCDに表示すべき階調数が多い場合は、低インピーダンスであると共に階調数に対応した多出力のバッファ回路を半導体チップに形成する必要がある。このため、従来の液晶駆動回路においては、多階調表示用の液晶駆動回路を得ようとする、チップサイズが必然的に大きくなってしまおうと共に製造コストも上昇してしまう。

【0012】 本発明はかかる問題点に鑑みてなされたものであって、LCDを多階調で駆動することができると共に、高集積化が容易であり、低コストで実現できる液晶駆動回路を提供することを目的とする。

【0013】

【課題を解決するための手段】 本発明に係る液晶駆動回路は、液晶ディスプレイを駆動する液晶駆動回路において、クロックパルスに基づいて画像入力データを転送す

るシフトレジスタ群と、ラッチパルスを入力しこのラッチパルスに基づいて前記シフトレジスタ群の出力信号を入力し保持するラッチ回路群と、複数の出力端を備えており前記ラッチ回路群の出力に基づいて特定の出力端にスイッチ選択信号を出力するセレクト回路群と、相互に電圧値が異なる m (m は2以上の整数)種類の液晶駆動電圧を入力しフレーム選択信号に基づいて $m/2$ 種類の液晶駆動電圧を選択的に出力するマルチプレксаと、複数のスイッチからなり前記セレクト回路群から出力されたスイッチ選択信号に基づいて前記マルチプレксаの出力を選択するスイッチ群と、このスイッチ群と前記液晶ディスプレイとの間に内装されたアンプとを有することを特徴とする。

【0014】

【作用】本発明においては、マルチプレксаがフレーム選択信号に基づいて m 種類の液晶駆動電圧から $m/2$ 種類の電圧を選択し、この $m/2$ 種類の電圧を選択的に出力する。そして、スイッチ群は、セレクト回路群から出力されたスイッチ選択信号に基づいてこれらの液晶駆動電圧から特定の電圧を選択する。これにより、スイッチ群を構成するスイッチの数が従来の $1/2$ で足り、高集積化及び低コスト化が達成できる。

【0015】また、本発明においては、スイッチ群とLCDとの間にアンプが内装されている。つまり、本発明においては、スイッチ群を構成するスイッチに流れる電流が直接LCDを駆動するものではないため、スイッチのサイズを小型化することができる。これにより、液晶駆動回路を一層高集積化することが可能である。

【0016】前記スイッチとしては、例えばMOS型トランジスタを使用することができる。この場合に、1個のトランジスタにより1個のスイッチが構成されていると、前記マルチプレксаから供給される電圧によりスイッチのオン抵抗が変化してしまう。しかし、スイッチとして、例えばPチャネルトランジスタ及びNチャネルトランジスタにより構成されたトランスファークロウを使用すると、スイッチにおけるオン抵抗の変化を回避することができる。このため、前記スイッチとしては、Pチャネルトランジスタ及びNチャネルトランジスタにより構成されたトランスファークロウを使用することが好ましい。

【0017】

【実施例】次に、本発明の実施について添付の図面を参照して説明する。

【0018】図1は本発明の第1の実施例に係る液晶駆動回路を示すブロック図である。

【0019】本実施例に係る液晶駆動回路は、シフトレジスタ群 $SR_1 \sim SR_n$ 、ラッチ回路群 $LATCH_1 \sim LATCH_n$ 、セレクト回路群 $SELECT_1 \sim SELECT_n$ 、トランジスタスイッチ群 $T_{11} \sim T_{1n}$ 、マルチプレксаMX及びオペアンプ群 $OP_1 \sim OP_n$ によ

り構成されている。

【0020】セレクト回路群 $SELECT_1 \sim SELECT_n$ は、従来と同様に、画像データ入力端子Dから入力された画像データ入力電圧 V をクロック入力端子CLKから入力されたクロックパルス V_{clk} に同期して k 段に転送するようになっている。ラッチ回路群 $LATCH_1 \sim LATCH_n$ は、このシフトレジスタ群 $SR_1 \sim SR_n$ の各段の出力信号をラッチ入力端子STBに入力されたラッチパルス V_{stb} に同期して保持するようになっている。また、セレクト回路群 $SELECT_1 \sim SELECT_n$ は、複数の出力端を備えており、フレーム選択端子FRMから入力されたフレーム選択信号及びラッチ回路群 $LATCH_1 \sim LATCH_n$ の出力に基づいて、前記出力端のうちの特定の出力端にスイッチ選択信号を出力する。

【0021】マルチプレксаMXには相互に電圧値が異なる m 種類のLCD駆動電源電圧 $V_{1c1} \sim V_{1cm}$ が与えられる。そして、マルチプレксаMXは、フレーム選択信号 V_{frs} に基づいてこの m 種類のLCD駆動電源電圧 $V_{1c1} \sim V_{1cm}$ から画像の $m/2$ レベルの階調表示に必要な $m/2$ 種類のLCD駆動電源電圧を選択する。また、トランジスタスイッチ群 $T_{11} \sim T_{1n}$ は $m/2$ 個のトランジスタからなる k 組のトランジスタにより構成されており、これらのトランジスタはセレクト回路群 $SELECT_1 \sim SELECT_n$ から出力された前記スイッチ選択信号によりオン・オフ駆動される。

【0022】オペアンプ群 $OP_1 \sim OP_n$ は、トランジスタスイッチ群 $T_{11} \sim T_{1n}$ を介して供給されたLCD駆動電源電圧の駆動電流容量を増大し、出力端子 $O_1 \sim O_n$ を介してこのLCD駆動電源電圧をLCDに供給する。

【0023】図2は、本実施例に係る液晶駆動回路の動作を示すタイミングチャート図である。なお、フレーム選択信号 V_{frs} は所定の周期でハイレベル及びロウレベルになる。また、ラッチパルス V_{stb} はフレーム選択信号 V_{frs} の立ち上がりに同期して発生する信号である。

【0024】まず、画像データ入力端子Dから入力された画像データ入力電圧 V は、クロックパルス V_{clk} に同期して、シフトレジスタ群 $SR_1 \sim SR_n$ に転送される。ラッチ回路群 $LATCH_1 \sim LATCH_n$ は、ラッチパルス V_{stb} に同期してシフトレジスタ群 $SR_1 \sim SR_n$ から出力された信号を入力し、この入力信号を次の1水平期間のデータとして保持する。

【0025】セレクト回路群 $SELECT_1 \sim SELECT_n$ は、フレーム選択信号及びラッチ回路群 $LATCH_1 \sim LATCH_n$ から出力された n ビット分のデータに基づいて、トランジスタスイッチ群 $T_{11} \sim T_{1n}$ の各組のトランジスタのうちの特定のトランジスタを選択的にオン状態にする。一方、マルチプレксаMXは、フレーム選択信号 V_{frs} に基づいて、 m 種類の駆動電源電

5
 圧 $V_{ic1} \sim V_{ic}$ から $m/2$ 種類の電圧を選択的に出力する。これらの電圧は、セレクト回路群 $SELECT_1 \sim SELECT$ により選択された前記特定のトランジスタを介してオペアンプ群 $OP_1 \sim OP$ に選択的に入力される。オペアンプ群 $OP_1 \sim OP$ は、この入力電圧 $V_{o1} \sim V_o$ に基づいて、駆動電流容量が大きい出力電圧 $V_{o1} \sim V_o$ を出力する。

【0026】オペアンプが設けられていない従来の液晶駆動回路においては、トランジスタスイッチ群を構成するトランジスタのディメンション(寸法)が小さいと駆動電流が小さくなる。従って、駆動電流を大きくするために、トランジスタのディメンションを大きくする必要があった。このため、従来の液晶駆動回路においては、階調数が多い場合、階調数に対応してトランジスタスイッチの数が多くなり、チップサイズが増大するという欠点があった。しかし、本実施例においては、トランジスタスイッチ群 $T_{11} \sim T_{1j}$ (j)とLCDとの間にオペアンプ群 $OP_1 \sim OP$ が設けられており、このオペアンプ群 $OP_1 \sim OP$ から駆動電流容量が大きい駆動電圧が出力されるため、トランジスタスイッチ群 $T_{11} \sim T_{1j}$ (j)のトランジスタはディメンションが小さいもので足りる。このため、本実施例に係る液晶駆動回路は、従来に比してチップサイズを縮小することができる。

【0027】また、本実施例においては、マルチプレクサMXが設けられているため、 $m/2$ 階調のときはトランジスタスイッチ群 $T_{11} \sim T_{1j}$ (j)を構成するトランジスタスイッチの数が $m/2$ 個で足り、トランジスタの数を従来の $1/2$ に削減することができる。このため、チップサイズをより一層縮小化できると共に、低コスト化が達成できる。

【0028】図3は本発明の第2の実施例に係る液晶駆動回路を示すブロック図である。本実施例が第1の実施例と異なる点は1個のトランジスタからなるトランジスタスイッチに替えてPチャネルトランジスタ、Nチャネルトランジスタ及びインバータからなるトランスファークラークゲートが設けられていることにあり、その他の構成は基本的には第1の実施例と同様であるので、図3において図1と同一物には同一符号を付してその詳しい説明は省略する。

【0029】本実施例においては、スイッチ群として、Pチャネルトランジスタ、Nチャネルトランジスタ及びインバータにより構成されたトランスファークラークゲート群1が設けられている。

【0030】スイッチをトランジスタ1個で構成した第1の実施例においては、トランジスタのバックゲート電圧依存性のため、マルチプレクサMXから供給される電圧によってトランジスタのオン抵抗が異なってしまう。

一方、本実施例においては、トランジスタスイッチとしてPチャネルトランジスタ、Nチャネルトランジスタ及びインバータにより構成されたトランスファークラークゲートが設けられている。従って、本実施例の液晶駆動回路においては、PチャネルトランジスタとNチャネルトランジスタとが相互に補償するため、電圧によるオン抵抗の変化を回避することができる。

【0031】
 【発明の効果】以上説明したように本発明によれば、マルチプレクサが m 種類の液晶駆動電圧を入力しフレーム選択信号に基づいて $m/2$ 種類の電圧を出力するから、スイッチ群を構成するスイッチの数が従来の $1/2$ で足りる。このため、本発明に係る液晶駆動回路は、多階調表示のLCDにも容易に対応することができると共に、高集積化及び低コスト化を達成できる。また、本発明によれば、スイッチ群とLCDとの間にアンプが設けられているため、スイッチ群を構成するスイッチには大きな電流は流れない。このため、従来に比してスイッチのディメンションを小さくでき、より一層の高集積化が達成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る液晶駆動回路を示すブロック図である。

【図2】本発明の第1の実施例に係る液晶駆動回路の動作を示すタイミングチャート図である。

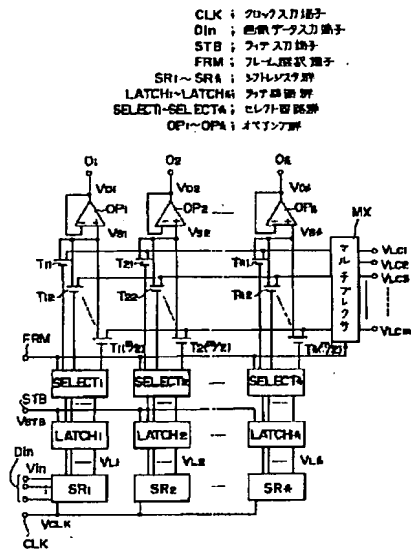
【図3】本発明の第2の実施例に係る液晶駆動回路を示すブロック図である。

【図4】従来の液晶駆動回路を示すブロック図である。

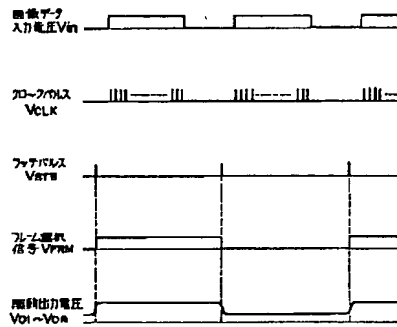
【符号の説明】

- 30 CLK; クロック入力端子
- D; 画像データ入力端子
- STB; ラッチ入力端子
- FRM; フレーム選択端子
- $O_1 \sim O$; 出力端子
- $SR_1 \sim SR$; シフトレジスタ群
- LATCH $_1 \sim LATCH$; ラッチ回路群
- SELECT $_1 \sim SELECT$; セレクト回路群
- $OP_1 \sim OP$; オペアンプ群
- $T_{11} \sim T_{1j}$ (j); トランジスタスイッチ群
- 40 V_{clk} ; クロックパルス
- V; 画像データ入力電圧
- V_{stb} ; ラッチパルス
- $V_{L1} \sim V_L$; ラッチ信号
- $V_{o1} \sim V_o$; オペアンプ出力電圧
- $O_1 \sim O$; 出力端子
- 1; トランスファークラークゲート群
- 2; トランジスタスイッチ群

【圖 1】



【圖 2】

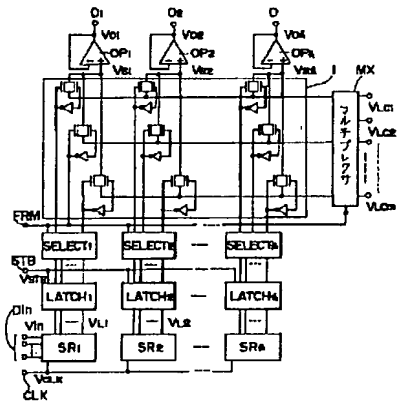


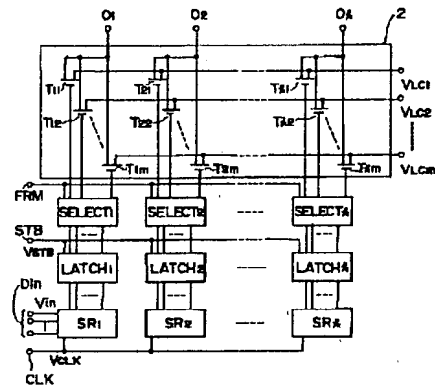
【圖 3】

CLK : 클럭신호
Din : 데이터신호
STB : 스탭신호
FRM : 프레임신호
SR1~SR4 : 4비트 레지스터
LATCH1~LATCH4 : 래치
SELECT1~SELECT4 : 선택신호
OP1~OP4 : 4비트 레지스터

【圖 4】

CLK : 클럭신호
Din : 데이터신호
STB : 스탭신호
FRM : 프레임신호
SR1~SR4 : 4비트 레지스터
LATCH1~LATCH4 : 래치
SELECT1~SELECT4 : 선택신호





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.